

AI

JP Patent First Publication No.2003-084030

**TITLE: MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE**

**Abstract:**

**PROBLEM TO BE SOLVED:** To provide a manufacturing method for a semiconductor device, capable of decreasing a difference in temperature between the best device and the worst device to enable normal electric characteristic test, uniting a plurality of heat sinks into one body to be attached and detached to and from a burn-in device, and realizing the device configuration to reduce the remodeling cost and not to impair flexibility of the device.

**SOLUTION:** This manufacturing method is applied to a burn-in sorting process for a semiconductor device such as a synchronous SRAM, and a plurality of burn-in boards 11 and a plurality of radiator units 12 are alternately and vertically arranged removably in the respective stages of the burn-in device. Each heat sink 31 of the radiator unit 12 is normally in the open state where a tandem fin 41 is separated from the semiconductor device 23, and put in the state where the tandem fin 41 comes into contact with the semiconductor device 23 with designated pressing force by moving a base 32 with the sliding mechanism. In such a contact state, electric characteristic test is carried out.

BEST AVAILABLE COPY

(10) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-84030

(P2003-84030A)

(43) 公開日 平成15年3月19日 (2003.3.19)

(51) IntCl <sup>1</sup>	識別記号	F I	ページ(参考)
G 0 1 R 31/28		G 0 1 R 31/28	H 2 G 0 0 8
			J 4 M 1 0 8
H 0 1 L 21/00		H 0 1 L 21/00	H 5 F 0 3 6
23/40		23/40	2

審査請求 未請求 請求項の数 5 O L (全 8 J O)

(21) 出願番号 特願2001-278994 (P2001-278994)

(22) 出願日 平成13年9月14日 (2001.9.14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田豊河台四丁目6番地

(72) 発明者 藤川 幸博

秋田県秋田県秋田天王町天王寺長沼64 アキ

タ電子株式会社内

(73) 発明者 植平 尚宏

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74) 代理人 100080001

弁護士 橋井 大和

最良式に就く

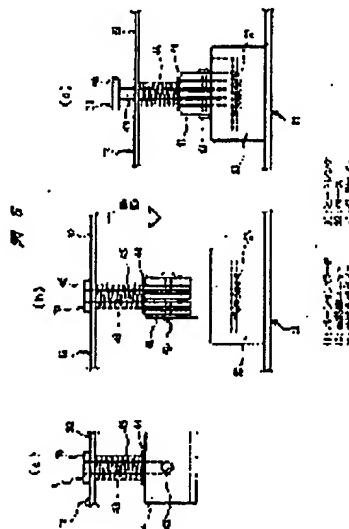
#### (34) 【発明の名称】 半導体装置の製造方法

##### (37) 【要約】

【課題】 ベストデバイスとワーストデバイスとの温度差を少なくして正常な電気特性試験を可能とし、また複数のヒートシンクを1ユニット化してバーンイン装置への脱着を可能にし、さらに製造コストの削減や装置のフレキシブル性を損なわない装置構成を実現することができ半導体装置の製造方法を提供する。

【解決手段】 シンクロナスSRAMなどの半導体デバイスのバーンイン選別工程に適用され、バーンイン装置の各座には複数枚のバーンインボード11と複数枚の放熱器ユニット12とが交互に、かつ垂直に、それぞれが

脱着可能に配置され、放熱器ユニット12の各ヒートシンク11は、通常、半導体デバイス23からくし型フィン41が離れた開放状態となっており、スライド機構によりベース32を移動することで、半導体デバイス23にくし型フィン41が所定の押圧力で接触した状態となり、この接触状態において電気特性試験が実行される。



【特許請求の範囲】

【請求項 1】 試験対象の複数の半導体デバイスと、電気特性試験を行うための試験装置および試験用ボードと、放熱を行うための放熱器ユニットとを有する工程と、前記試験用ボード上の各ソケットに前記複数の半導体デバイスをそれぞれ実装し、前記試験用ボードを前記試験装置に供給する工程と、前記試験用ボードを前記試験装置に供給した状態で、前記試験用ボード上の各ソケット内の各半導体デバイスに前記放熱器ユニットの各ヒートシンクを接触させる工程と、前記各半導体デバイスに前記放熱器ユニットの各ヒートシンクを接触させた状態で、前記各半導体デバイスの電気特性試験を行う工程と、前記電気特性試験の結果、良品の半導体デバイスを製品として出荷する工程と、を有することを特徴とする半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

前記電気特性試験は、バーンイン試験であることを特徴とする半導体装置の製造方法。

【請求項 3】 請求項 1 記載の半導体装置の製造方法において、

前記放熱器ユニットは、複数のヒートシンクと、前記複数の各ヒートシンクを前記試験用ボード上の各ソケットの位置に合わせて配置したベースと、前記各ヒートシンクを前記各半導体デバイスに対して開放/接触状態にするためのスライド機構とを有することを特徴とする半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法において、

前記放熱器ユニットは、前記試験用ボードのスロットに対応させて前記試験装置へ脱着可能に取り付けられることを特徴とする半導体装置の製造方法。

【請求項 5】 請求項 1 記載の半導体装置の製造方法において、

前記半導体デバイスは、ウェハから切断されて個別に分離されたチップと、前記チップの表面を実装し、外部端子が設けられた基板と、前記チップと前記基板との電気的な接続部分を防止する防止付と、前記チップの表面に貼り付けられた放熱板とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造技術に関し、特に電気特性試験において、電流の流れ性が異なる複数のデバイスを同一バーンイン条件下でテストを行う場合に好適な半導体装置の製造方法に適用して有効な技術に関する。

【0002】

【従来の技術】 本発明者が検討したところによれば、半導体装置の電気特性試験に関しては、以下のような技術が考えられる。

【0003】 たとえば、ウェハから切断されて個別に分離されたチップを、外部端子となるボールが設けられた基板上に実装した半導体デバイスの選別工程では、デバイスをバーンインボード上のソケットに実装し、バーンイン装置で高温環境下のもとでマーチングテストなどの電気特性試験を実行する方法が一般に知られている。

【0004】 なお、このような半導体装置の電気特性試験に関する技術としては、たとえば 1994 年 11 月 30 日、日刊工業新聞は発行、日本半導体製造装置協会編集の「半導体製造装置用語辞典—第 3 版—」P319～P323 に記載される技術などが挙げられる。

【0005】

【発明が解決しようとする課題】 ところで、前記のような半導体装置の電気特性試験に関する技術について、本発明者が検討した結果、以下のようなことが明らかとなった。

【0006】 たとえば、半導体デバイスのバーンインテスト時、電流の流れやすいデバイス（以下ベストデバイスと呼ぶ）と、電流の流れにくいデバイス（以下ワーストデバイスと呼ぶ）とで自己発熱温度が異なり、両者を同一バーンイン条件下で正常にテストを行うことができない。

【0007】 すなわち、ベストデバイスは、ワーストデバイスに比べて自己発熱温度が高く、バーンインテスト時に熱暴走を起こし、正常なマーチングテストができない。これに対して、バーンイン温度を低く設定する方法があるが、バーンイン温度を低く設定すると、ベストデバイスは故障できるが、ワーストデバイスのバーンイン温度が低くなり、解決策には至らない。

【0008】 また、前記の問題を回避する方法として、ヒートシンク付きソケットを製作する方法があるが、この場合は、新規ソケットの開発費用が高価である。また、ヒートシンク付きソケットを採用することにより、デバイスのソケットを駆作装置の自動化が困難となる。さらに、バーンイン装置内に放熱機構を直接取り付けると、他品種で使用できなくなり、装置稼働率が低下するため、さらなる改善策が要求されている。

【0009】 そのために、本発明者は、バーンインボードをバーンイン装置に供給した状態で、ソケット内のデバイスにヒートシンクを接触させる機構を備えた放熱器ユニットを考え付いた。すなわち、バーンインテスト時のデバイスにヒートシンクを接触させ、ベストデバイスとワーストデバイスとの温度差を少なくすることを可能にしたものである。

【0010】 そこで、本発明の目的は、ベストデバイスとワーストデバイスとの温度差を少なくして、正常な電

気特性試験を可能とし、また複数のヒートシンクを1ユニット化し、バーンインボードのサイズに集結することによってバーンイン装置への脱着を可能にし、さらに改造コストの削減や装置のフレキシブル性を損なわない装置構成を実現することができる半導体装置の製造方法を提供するものである。

【0011】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0012】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0013】本発明は、前記目的を達成するために、バーンインボードをバーンイン装置に供給した状態で、ソケット内のデバイスにヒートシンクを接触させる機構を備えた放熱器ユニットを用いるものである。この放熱器ユニットは、バーンインボードとほぼ同一外形寸法で、複数の各ヒートシンクをバーンインボード上の各ソケットの位置に合わせて配置したベースをスライド可能とし、バーンインボードと同様にバーンイン装置への脱着を可能とするものである。

【0014】すなわち、本発明による半導体装置の製造方法は、試験対象の複数の半導体デバイスと、電気特性試験を行うための試験装置および試験用ボードと、放熱を行うための放熱器ユニットとを用意し、試験用ボード上の各ソケットに各半導体デバイスをそれぞれ実装し、試験用ボードを試験装置に供給し、試験用ボードを試験装置に供給した状態で、試験用ボード上の各ソケット内の各半導体デバイスに放熱器ユニットの各ヒートシンクを接触させ、各半導体デバイスに放熱器ユニットの各ヒートシンクを接触させた状態で、各半導体デバイスの電気特性試験を行い、電気特性試験の結果、良品の半導体デバイスを製品として出荷する、各工程を有するものである。

【0015】さらに、前記半導体装置の製造方法において、電気特性試験は、バーンイン試験に適用するものである。

【0016】また、前記半導体装置の製造方法において、放熱器ユニットは、複数のヒートシンクと、各ヒートシンクを試験用ボード上の各ソケットの位置に合わせて配置したベースと、各ヒートシンクを各半導体デバイスに対して開放/接触状態にするためのスライド機構とを有するものである。さらに、放熱器ユニットは、試験用ボードのスロットに対応させて試験装置へ脱着可能に取り付けられるようにしたものである。

【0017】また、前記半導体装置の製造方法において、半導体デバイスは、ウェハから切断されて個別に分離されたチップと、チップの表面を実装し、外部端子が設けられた基板と、チップと基板との電気的な接続部分

を対止する対止材と、チップの裏面に貼り付けられた放熱板とを有するものである。

【0018】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。図1は本発明の一実施の形態の半導体装置の製造方法を示すフロー図、図2は本実施の形態の形態において、半導体デバイスを示す断面図、図3はバーンイン試験を行う場合のバーンイン装置を示す概略図、図4はバーンインボードを示す概略図、図5は放熱器ユニットを示す概略図、図6はヒートシンクを示す概略図、図7および図8はバーンインボードと放熱器ユニットとの配置において、半導体デバイスに対するヒートシンクの開放/接触を示す説明図である。

【0019】まず、図1により、本実施の形態の半導体装置の製造方法の製造フローの一例を説明する。本実施の形態の半導体装置の製造方法は、たとえばシクロナスSRAMなどの半導体デバイスのバーンイン選別製品に適用され、選別工程が以下のようにして実行される。

【0020】(1) 用意工程(ステップS1)

この工程において、試験対象の複数の半導体デバイスと、バーンイン試験(電気特性試験)を行うためのバーンイン装置(試験装置)およびバーンインボード(試験用ボード)と、放熱を行うための放熱器ユニットとを用意する。

【0021】この工程で用意する半導体デバイスは、たとえば図2に一例を示すように、ウェハから切断されて個別に分離されたチップ1と、チップ1の表面を実装し、ボール状の外部端子2が設けられた基板3と、チップ1と基板3との電気的な接続部分を対止する対止材4と、チップ1の裏面に貼り付けられた放熱板5などから構成されている。ここではBGAの半導体デバイスを例に示したが、これに限られるものではない。

【0022】この半導体デバイスは、ウェハ処理工程が繰り返されて所望の集積回路が形成されたウェハをチップ毎に分離するダイシング(ステップS11)、環状の基板に外部端子となるボールを搭載する基板ボール付け(ステップS12)、チップをフェイスダウンで基板に実装するチップマウント(ステップS13)、チップの電極と基板との接続部分、電気的な露出部分にアンダーフィル材などの対止材を塗布して対止する対止材塗布(ステップS14)、チップの裏面に放熱板を貼り付ける放熱板貼り付け(ステップS15)、基板をチップ毎に個別に分離する基板切断(ステップS16)、などの各工程を経て完成される。

【0023】(2) 半導体デバイス実装工程(ステップS2)

この工程において、バーンインボード上の各ソケットに各半導体デバイスをそれぞれ実装し、バーンインボードをバーンイン装置に供給する。

【0024】(3) ヒートシンク接触工程(ステップS

3)

この工程において、バーンインボードをバーンイン装置に供給した状態で、バーンインボード上の各ソケット内の各半導体デバイスに放熱器ユニットの各ヒートシンクを一斉に接触させる。

【0025】(4) バーンイン試験工程(ステップS4)

この工程において、各半導体デバイスに放熱器ユニットの各ヒートシンクを接触させた状態で、各半導体デバイスのバーンイン試験を行う。このバーンイン試験では、たとえば定格を超える温度および電圧ストレスを印加して、将来不良に到る可能性のあるチップがスクリーニングされる。

【0026】このバーンイン試験において、電流の流れやすいデバイス、いわゆるベストデバイスと、電流が流れにくいデバイス、いわゆるワーストデバイスとが存在した場合、従来は自己発熱温度が異なるために両者を同一バーンイン条件下で正常に試験を行うことができなかったが、本装置の形態においては、各半導体デバイスに各ヒートシンクを一斉に接触させることで、ベストデバイスとワーストデバイスとの温度差を少なくして、両者を同一バーンイン条件下で正常にマーチングテストなどの電気特性試験を行うことができる。

【0027】たとえば一例として、バーンイン試験の設定温度を125℃程度とした場合に、ベストデバイスでは+30〜40℃程度まで上昇するものをヒートシンクの接触により130℃程度まで下げ、一方、ワーストデバイスでは+10℃程度までしか上昇しないものをヒートシンクの接触により130℃程度まで下げて、どちらも130℃程度の温度条件で、両者の温度差を少なくして正常に試験を行うことができる。

【0028】(5) 機能試験工程(ステップS5)

この工程において、各半導体デバイスの機能試験を行う。この機能試験では、たとえばライトおよびリード動作により所定のテストパターンを用いてメモリ機能を試験し、所定の機能通りに動作するか否かを確認するテストや、入出力端子間のオープン/ショート検査、リーク電流検査、電圧電流の測定などのロCTest、メモリ制御のACタイミングを試験するACテストなどが行われる。

【0029】(6) 出荷工程(ステップS6)

この工程において、バーンイン試験、機能試験による電気特性試験の結果、良品の半導体デバイスを製品として出荷する。

【0030】次に、図3〜図6により、本装置の形態において、バーンイン試験を行う場合のバーンイン装置、バーンインボード、放熱器ユニット、ヒートシンクのそれぞれの概略構成の一例を説明する。

【0031】バーンイン装置は、たとえば図3に一例を示すように、筐体内が上下方向に複数段からなり、各段

に複数枚のバーンインボード11と複数枚の放熱器ユニット12とが交互に、かつ垂直に、それぞれが設置可能に配置されている。図3では、各段にそれぞれ3枚のバーンインボード11と放熱器ユニット12を配置した例を示したが、これに限定されるものではない。このバーンイン装置は、筐体の上方向から下方向に向けて逐層され、内部が高温度環境となっている。この高温度環境の条件のもとで半導体デバイスのマーチングテストなどの電気特性試験が実行される。

【0032】バーンインボード11は、たとえば図4に一例を示すように、基板21と、この基板21上に搭載された複数のソケット22などから構成されている。図4では、4×4=16個のソケット22を基板21上に搭載した例を示したが、これに限定されるものではない。このバーンインボード11において、各ソケット22には図5aに示した構造の半導体デバイス23が実装される。

【0033】放熱器ユニット12は、たとえば図5に一例を示すように、複数のヒートシンク31と、各ヒートシンク31をバーンインボード11上の各ソケット22の位置に合わせて配置したベース32と、各ヒートシンク31を各半導体デバイス23に対して開放/接触状態にするためのスライド機構33などから構成されている。図5では、バーンインボード11に対応して、4×4=16個のヒートシンク31をベース32に配置した例を示したが、これに限定されるものではない。この放熱器ユニット12は、バーンインボード11のスロットに対応させてバーンイン装置へ脱着可能に取り付けられる。

【0034】ヒートシンク31は、たとえば図6(a:開放状態の側面図、b:開放状態の正面図、c:接触状態の正面図)に一例を示すように、くし型フィン41と、このくし型フィン41にねじ42により固定されるシャフト43と、このシャフト43にワッシャ44、ばね45、ベース32を介して固定されるナット46などから構成されている。このヒートシンク31も、図6に示す構造および形状に限定されるものではない。この各ヒートシンク31は、通常、図6(b)のように半導体デバイス23からくし型フィン41が離れた開放状態となっており、スライド機構33によりばね45の付勢力に抗してベース32を半導体デバイス23の方向に移動することで、図6(c)のように半導体デバイス23にくし型フィン41が所定の押圧力で接触した状態となり、この接触状態において電気特性試験が実行される。

【0035】次に、図7および図8により、バーンインボードと放熱器ユニットとの配置において、半導体デバイスに対するヒートシンクの開放/接触を詳細に説明する。

【0036】図7は、放熱器ユニット12のヒートシンク31が半導体デバイス23に対して開放状態となっ

いる一例を示しており、バーンイン装置の各段のスロット51に、バーンインボード11が1スロット毎に取替可能に配置され、この空きスロットに対応した位置に放熱器ユニット12がスライド機構33のスロット52に取替可能に配置されている。このスライド機構33の各スロット52は、スライド軸53により右方向、すなわち図7の状態から図8の状態へ移動可能となっている。また、放熱器ユニット12のベース32には、バーンイン装置の筐体の上方向から下方向に向けて送られる風の流れをよくするためのプレート54が設けられている。

【0037】この図7の状態では、放熱器ユニット12の各ヒートシンク31が、バーンインボード11上の各ソケット22に実装された各半導体デバイス23から離れて、開放状態となっている。この開放状態では、放熱器ユニット12のベース32が、ヒートシンク31のナット45に当接する位置までばね45の付勢力により押されて、くし型フィン41と最も離れた状態となっている。

【0038】図8は、放熱器ユニット12のヒートシンク31が半導体デバイス23に対して接触状態となっている一例を示しており、放熱器ユニット12が取替可能に配置されたスライド機構33のスロット52が、スライド軸53により前記図7の状態から右方向に移動されている。

【0039】この図8の状態では、放熱器ユニット12のベース32が、バーンインボード11を1スロット毎に配置した空きスロット51とほぼ同じ位置になり、放熱器ユニット12の各ヒートシンク31が、バーンインボード11上の各ソケット22に実装された各半導体デバイス23に一方に接触した状態となっている。この接触状態では、放熱器ユニット12のベース32が、ヒートシンク31のばね45の付勢力に抗して反発して、くし型フィン41と最も近い状態となっている。この状態において、各半導体デバイス23が各ヒートシンク31を通じて放熱され、電気特性試験が実行される。

【0040】従って、本実施の形態によれば、バーンインボード11をバーンイン装置に供給した状態で、各ソケット22内の複数の半導体デバイス23に複数のヒートシンク31を一斉に接触させる機構を備えた放熱器ユニット12を用いることにより、以下のような効果を得ることができる。

【0041】(1) 半導体デバイス23のベストデバイスとワーストデバイスとの温度差を少なくできる。この結果、正常なマーチングテストなどの電気特性試験を行うことができる。特に、シンクロナスSRAMのような半導体デバイス23は、多くの電流を消費して発熱量が大きいので、電気特性試験時に温度差を少なくすることは重要となる。

【0042】(2) 既存のバーンインボード11を使用

できる。これにより、バーンインボード11およびそれに搭載されるソケット22の新規開発費用が不要となる。

【0043】(3) 放熱器ユニット12を抜き出すことにより、バーンイン装置の他品種への展開が可能となる。すなわち、バーンイン装置のフレキシブル性が損なわれない。これにより、改造コストの削減や装置のフレキシブル性を損なわない装置構成が実現できる。

【0044】(4) 放熱器ユニット12のヒートシンク31の名義時間が短縮できる。すなわち、複数のヒートシンク31を1ユニット化し、バーンインボード11のサイズに集結することにより、バーンイン装置への取替が可能になる。

【0045】(5) 電気特性試験時に、半導体デバイス23が必要以上に高温になることがなくなり、外部端子となるボールが溶けることがないので、ボールの変形不良を防止できる。

【0046】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0047】たとえば、前記実施の形態においては、BGAの半導体デバイスを例に説明したが、半導体デバイスの種類や構造については種々変更可能である。また、シンクロナスSRAMに限らず、バーンイン試験による選別が必要なマイコン、DRAMなど、特に電気特性試験時に多くの電流を消費して発熱量が大きい製品に良好に適用することができる。

【0048】また、バーンイン装置に配置されるバーンインボード、放熱器ユニットの数量や、バーンインボードに搭載されるソケット、放熱器ユニットに配置されるヒートシンクの数量、さらにバーンインボード、放熱器ユニット、ヒートシンクの構造および形状なども種々変更可能であることはいうまでもない。

【0049】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0050】(1) 半導体デバイスのベストデバイスとワーストデバイスとの温度差を少なくすることができるので、正常な電気特性試験を行うことが可能となる。

【0051】(2) 複数のヒートシンクを1ユニット化し、バーンインボードのサイズに集結した放熱器ユニットを用いることで、バーンイン装置への取替が可能となり、さらに他品種への展開も可能となる。

【0052】(3) バーンイン装置において、既存のバーンインボードを使用することができるので、改造コストの削減や装置のフレキシブル性を損なわない装置構成を実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体装置の製造方法を示すフロー図である。

【図2】本発明の一実施の形態において、半導体デバイスを示す断面図である。

【図3】本発明の一実施の形態において、バーンイン試験を行う場合のバーンイン装置を示す概略図である。

【図4】本発明の一実施の形態において、バーンインボードを示す概略図である。

【図5】本発明の一実施の形態において、放熱器ユニットを示す概略図である。

【図6】(a)、(b)、(c)は本発明の一実施の形態において、ヒートシンクを示す概略図である。

【図7】本発明の一実施の形態において、バーンインボードと放熱器ユニットとの配置において、半導体デバイスに対するヒートシンクの開放を示す説明図である。

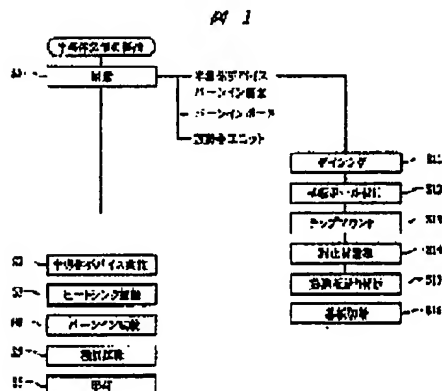
【図8】本発明の一実施の形態において、バーンインボードと放熱器ユニットとの配置において、半導体デバイスに対するヒートシンクの接触を示す説明図である。

【符号の説明】

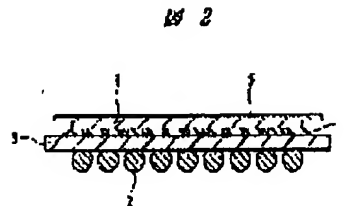
- 1 チップ  
2 外部端子

- 3 基板  
4 封止材  
5 放熱板  
11 バーンインボード  
12 放熱器ユニット  
21 基板  
22 ソケット  
23 半導体デバイス  
31 ヒートシンク  
32 ベース  
33 スライド機構  
41 くし型フィン  
42 ねじ  
43 シャフト  
44 ワッシャ  
45 ばね  
46 ナット  
51 スロット  
52 スロット  
53 スライド軸  
54 プレート

【図1】

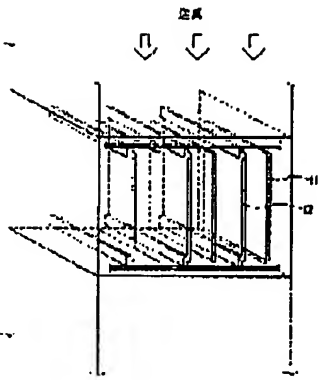


【図2】



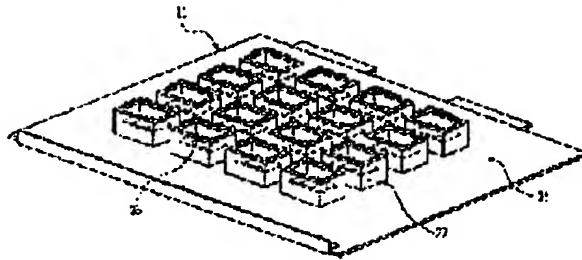
【图3】

图 3



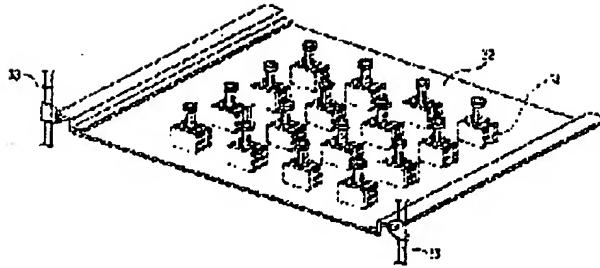
【图4】

图 4



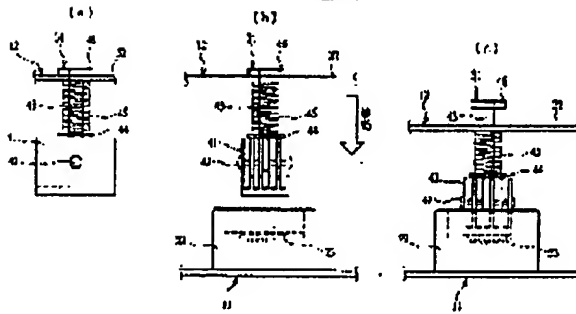
【図5】

図 5



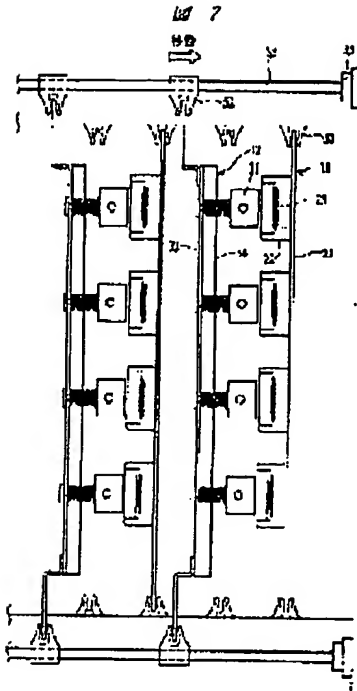
【図6】

図 6

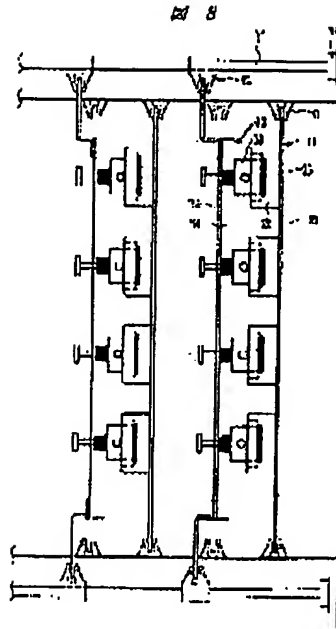


Y: 1/2インチ径のボルト  
Z: 1/2インチ径のボルト  
11: 底面支持板  
12: ばね  
13: 角部支持板  
32: 垂直支持棒  
33: 水平支持棒

【図 7】



【図 8】



フロントページの続き

(72) 発明者 佐藤 浩治  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

Fターム(参考) 2G002 AA90 AB00 AC01 AD03 AF08  
AG01 AG08 AH05  
AM06 AM02 BA14 CA56 CA60 CA70  
DH02 DH11 DJ34  
SF036 B001 B005 BC09